

The Delphion  
Integrated  
View

Other Views:  
[INPADOC](#) | [Derwent...](#)

Title: **JP10242373A2: SEMICONDUCTOR CHIP PACKAGE**

► [Want to see a more descriptive title highlighting what's new about this invention?](#)

Country: **JP Japan**

Kind: **A**

Inventor(s): **JEUNG DO-SU  
KWON OH-SIK  
SO EIKI  
NIN BINHIN**

Applicant/Assignee: **SAMSUNG ELECTRON CO LTD**



[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: **Sept. 11, 1998 / Nov. 17, 1997**

Application Number: **JP1997000314876**

IPC Class: **H01L 23/50;**

► [Interested in classification by use rather than just by description?](#)

Priority Number(s): **Aug. 7, 1997 KR1997009737789**

Abstract: **Problem to be solved:** To provide a semiconductor chip package in which a high-integration- degree semiconductor chip is mounted by using an LOC structure.



**Solution:** A semiconductor chip 40 is provided with central electrode pads 48 which are arranged in the center of an active face along respective long sides 42 of the semiconductor chip 40 and with peripheral electrode pads 49 which are arranged along respective peripheral parts of its short sides 44. In addition, inner leads at a lead frame are provided with first inner leads 10, of LOC structure, which are attached to the active face 46 and with second inner leads 12, of standard type, which are arranged so as to be separated from the semiconductor chip 40. The first inner leads 10 are connected electrically to the central electrode pads 48 by a wire bonding operation or by metal bumps, and the second inner leads 12 are connected electrically to the peripheral electrode pads 49 by a wire bonding operation. When the bend size of the first internal leads 10 is adjusted, an optimum vertical structure at the inside of a semiconductor chip package 200 can be realized.

COPYRIGHT: (C)1998,JPO

► [See a clear and precise summary of the whole patent, in understandable terms.](#)

Family: [Show known family members](#)

Other Abstract Info: **DERABS C98-482252**



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242373

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

X

審査請求 有 請求項の数21 O L (全 10 頁)

(21) 出願番号 特願平9-314876

(22) 出願日 平成9年(1997)11月17日

(31) 優先権主張番号 1997 P 6505

(32) 優先日 1997年2月28日

(33) 優先権主張国 韓国 (KR)

(31) 優先権主張番号 1997 P 37789

(32) 優先日 1997年8月7日

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 鄭 道秀

大韓民国京畿道水原市八達区梅灘4洞三星  
1次アパート2洞411号

(72) 発明者 權 五植

大韓民国ソウル盜蜂区唱1洞三星アパート  
110洞1902号

(72) 発明者 宋 泳信

大韓民国京畿道城南区分黨区分黨洞セッピ  
ヨルマウル同聲アパート206洞202号

(74) 代理人 弁理士 服部 雅紀

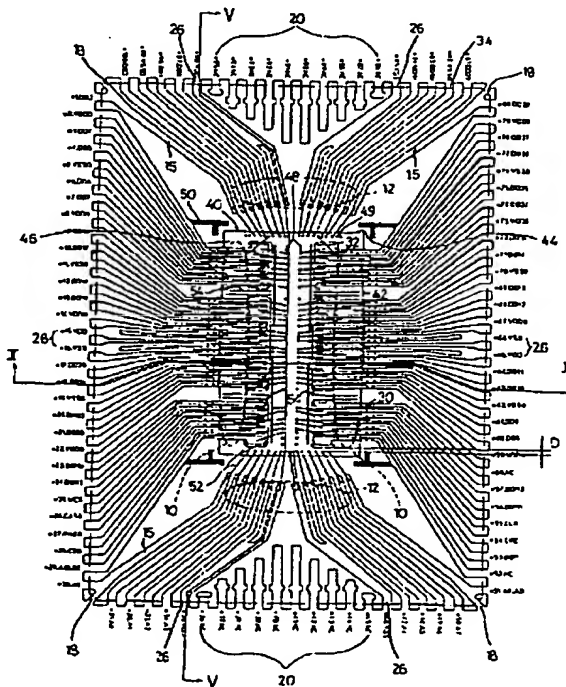
最終頁に続く

(54) 【発明の名称】 半導体チップパッケージ

(57) 【要約】

【課題】 高集積度の半導体チップをLOC構造を用いて実装する半導体チップパッケージを提供する。

【解決手段】 半導体チップ40は、活性面46の中央に半導体チップ40の長辺42に沿って配列される中央電極パッド48と、短辺44の周辺に沿って配列される周辺電極パッド49とを備える。また、リードフレームの内部リードは、活性面46に取付けられるLOC構造の第1内部リード10と、半導体チップ40から離れて配列される標準型の第2内部リード12とを備える。第1内部リード10は、ワイヤボンディング又は金属バンブにより中央電極パッド48に電気的に連結され、第2内部リード12は、ワイヤボンディングにより周辺電極パッド49に電気的に連結される。第1内部リード10の屈曲のサイズを調節することにより、半導体チップパッケージ200内部の最適垂直構造を実現することができる。



## 【特許請求の範囲】

【請求項1】 集積回路素子が設けられている活性面と長辺及び短辺を有し、前記長辺に平行に前記活性面の中央部に配設される複数の中央電極パッド、及び前記短辺に平行に前記活性面の周辺部に配設される複数の周辺電極パッドを含む半導体チップと、内部リード、及び前記内部リードと一体に形成され、前記半導体チップを外部に電氣的に連結するための外部リードを有し、前記内部リードは、前記長辺に沿って配設され、前記活性面に取付けられる複数の第1内部リード、及び前記短辺に沿って配設され、前記半導体チップの端部から離れている複数の第2内部リードを有し、前記外部リードは、前記複数の第1内部リードと一体に形成され、前記長辺に沿って配設される複数の第1外部リード、及び前記複数の第2内部リードと一体に形成され、前記短辺に沿って配列される複数の第2外部リードを有するリードフレームと、前記複数の第1及び第2内部リードと、前記半導体チップの中央電極パッド及び周辺電極パッドとを電氣的に連結する電氣的連結手段と、前記半導体チップ、内部リード及び電氣的連結手段を封止するパッケージ胴体と、を備えることを特徴とする半導体チップパッケージ。

【請求項2】 前記リードフレームは、コーナー内部リードとサイドレールとを連結するタイバーを有することを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項3】 前記複数の第1内部リードは、半導体チップ及びリードの位置を認識することができる整列キーを備えることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項4】 前記電氣的連結手段は、ボンディングワイヤであることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項5】 前記電氣的連結手段は、前記複数の第1内部リードと前記中央電極パッドとを連結する金属バンブと、前記複数の第2内部リードと前記周辺電極パッドとを連結するボンディングワイヤとを含むことを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項6】 前記中央電極パッドは、2列に配列されていることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項7】 前記複数の第1内部リードは、屈曲構造を有することを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項8】 前記内部リードは、前記半導体チップに電源を供給するための電源供給用内部リードを備えており、前記電源供給用内部リードは、2つに分岐されることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項9】 前記複数の第1内部リードは、電気絶縁性接着テープにより前記活性面に取付けられることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項10】 前記接着テープは、ポリイミド系の両面接着テープであることを特徴とする請求項9に記載の半導体チップパッケージ。

【請求項11】 前記複数の第1内部リードは、屈曲構造を有し、前記屈曲のサイズは、前記接着テープの厚さ及び前記半導体チップの厚さにより決定され、前記半導体チップが前記パッケージ胴体の中央に位置するように調節されることを特徴とする請求項9に記載の半導体チップパッケージ。

【請求項12】 前記周辺電極は、前記接着テープから20mil以上離れていることを特徴とする請求項9に記載の半導体チップパッケージ。

【請求項13】 前記複数の第1内部リードの中で、同一の電源電圧が供給されるリードは、バスバーにより1つの通路で連結されていることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項14】 前記活性面には、レーザーによる切断が可能な金属線が露出する部分を有するフューズボックスが形成されており、前記複数の第1内部リードは、前記フューズボックスを回避して前記活性面に取付けられることを特徴とする請求項1に記載の半導体チップパッケージ。

【請求項15】 集積回路素子が設けられている活性面と長辺及び短辺を有し、前記長辺に平行に前記活性面の中央部に配設される複数の中央電極パッド、及び前記短辺に平行に前記活性面の周辺部に配設される複数の周辺電極パッドを含む半導体チップと、内部リードと外部リードとを有し、前記内部リードは、前記長辺に沿って配設され、前記活性面に取付けられる複数の第1内部リード、及び前記短辺に沿って配設され、前記半導体チップの端部から離れている複数の第2内部リードを有し、前記外部リードは、前記複数の第1内部リードと一体に形成され、前記長辺に沿って配設される複数の第1外部リード、及び前記複数の第2内部リードと一体に形成され、前記長辺に沿って配列される複数の第2外部リードを有するリードフレームと、前記複数の第1及び第2内部リードと、前記半導体チップの中央電極パッド及び周辺電極パッドとを電氣的に連結する電氣的連結手段と、前記半導体チップ、内部リード及び電氣的連結手段を封止するパッケージ胴体と、を備えることを特徴とする半導体チップパッケージ。

【請求項16】 前記リードフレームは、前記パッケージ胴体に封止され、サイドレールに連結されるタイバーを備えることを特徴とする請求項15に記載の半導体チップパッケージ。

【請求項17】 前記複数の第1内部リードは、屈曲構

造を有することを特徴とする請求項15に記載の半導体チップパッケージ。

【請求項18】 前記複数の第1内部リードは、電気絶縁性接着テープにより前記活性面に取付けられることを特徴とする請求項15に記載の半導体チップパッケージ。

【請求項19】 前記複数の第1内部リードは、屈曲構造を有し、前記屈曲のサイズは、前記接着テープの厚さ及び前記半導体チップの厚さにより決定され、前記半導体チップが前記パッケージ胴体の中央に位置するように調節されることを特徴とする請求項18に記載の半導体チップパッケージ。

【請求項20】 前記複数の第1内部リードの中で、同一の電源電圧が供給されるリードは、バスバーにより1つの通路で連結されていることを特徴とする請求項15に記載の半導体チップパッケージ。

【請求項21】 前記活性面には、レーザーによる切断が可能な金属線が露出する部分を有するフューズボックスが形成されており、前記複数の第1内部リードは、前記フューズボックスを回避して前記活性面に取付けられることを特徴とする請求項15に記載の半導体チップパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップパッケージに関し、より詳細には、チップ縮小技術等により集積度が高まった半導体素子を効果的に実装するため、LOCリードと標準型リードが複合された構造を有する半導体チップパッケージに関するものである。

【0002】

【従来の技術】半導体チップには、内部回路素子を外部素子と電気的に連結するため、半導体チップの活性面に複数の電極パッドが形成されている。電極パッドの配列によって半導体チップを区分すると、電極パッドがチップ活性面の中央に配列される中央パッド型と、電極パッドがチップ活性面の周辺に形成される周辺パッド型とで分けられる。中央パッド型半導体チップは、周辺パッド型に比べて信号伝達差が減少し、信号伝達通路が短くなって高速化に有利であり、電極パッドの設計が容易になるという利点を有する。また、同一の容量と機能を有する半導体メモリチップを中央パッド型に設計すると、周辺パッド型に比べてチップのサイズを4%乃至7%程度減少させることができるので、1つのウェーハから製造されるチップの数が増加し、生産性及び歩留まりが向上する。このため、現在大部分のメモリチップは、中央パッド型に設計されている。

【0003】中央パッド型半導体チップを組立するためには、リードがチップの活性面上に延設されて取付けられるLOC構造を採択するか、リードがチップの端部から離れて配列される標準型リードと中央電極パッドとをワ

イヤボンディングする方法を使用することができる。しかし、後者は、ボンディングワイヤの長さが非常に長くなるため、信頼性が低下し、実際生産に適用するには難しい点が多い。一方、LOC構造を採択する場合、リードフレームの製造において、標準型リードフレームに比べて費用が多くなるが、ボンディングワイヤの長さが短くて信頼性がよくなり、1つのウェーハから製造することができるチップの数が増加するため、全体的に費用節減が可能であるので、現在メモリ製品に幅広く適用されている。

【0004】LOCパッケージは、リードフレームのリードがチップの活性面に取付けられるため、リードが占める面積が減少し、半導体チップとパッケージのサイズ比を大いに向上させることができる。例えば、一般的な構造のパッケージでは、サイズ比を最大60%まで向上させることができ、半導体チップがリード上に取付けられるCOLパッケージでは、サイズ比を最大70%まで向上させることができるが、LOCパッケージでは、サイズ比を最大90%まで高めることができる。半導体チップとパッケージのサイズ比が向上すると、実装密度が高まり、チップを狭い空間にパッケージ形態で実装することができる。そこで現在、LOCパッケージ技術は、主に大型チップの実装に焦点を合わせて開発されている。

【0005】

【発明が解決しようとする課題】ところが、同一容量のメモリチップは、微細加工技術の持続的な発達により、初期1世代メモリチップに比べて次世代メモリチップのサイズが縮小され、集積度が高まる。メモリチップの縮小は、1世代メモリチップサイズの約70%までなされる。したがって、単位ウェーハ当たり製造されるメモリチップの数が増加し、歩留まりが向上するため、LOCパッケージ技術はメモリチップの製造会社で必修的に使用される技術の1つである。

【0006】しかるに、チップ縮小技術等によりメモリチップの集積度が向上すると、組立工程で技術的難点が発生する。例えば、LOC構造を採択してメモリチップを組立する場合、リードフレーム加工技術がチップ縮小技術を追いつかないため、活性面の面積が減少した次世代メモリチップ上にリードフレームのリードを全部配置することができない。リードフレームは、スタンピング工程やエッチング工程により製造され、リードフレームリードの幅や間隔は、リードフレーム厚さの約80%以上になる場合にのみ、所望のパターンを有するリードを形成することができる。このようなリードフレームの加工限界を克服するため、リードフレームの厚さを低減すると、微細パターンのリードを製造することができ、チップ縮小技術により活性面が減少したメモリチップにリードフレームのリードを全て配置することができる。しかし、リードフレームの厚さが非常に小さい場合、組立工

程時に小さい衝撃によりリードが損傷されるので、リードフレームの厚さを低減することは、リードフレーム加工技術の限界を克服し、半導体チップの高集積化に対応するための適切な方案にならない。

【0007】したがって、チップ縮小技術等により集積度が高まった半導体チップを、中央パッド型半導体チップの利点とLOC構造の利点を生かしながら実装するための新たな構造の半導体チップパッケージが必要になる。本発明の目的は、高集積度の半導体チップをLOC構造を用いて実装する半導体チップパッケージを提供することにある。

【0008】本発明の他の目的は、リードフレーム加工限界を克服し、高集積度の半導体チップを実装することができる半導体チップパッケージを提供することにある。

【0009】

【課題を解決するための手段】本発明による半導体チップパッケージは、活性面の中央部に配列される複数の中央電極パッド、及び活性面の周辺部に配列される複数の周辺電極パッドが複合された構造を有する半導体チップと、中央電極パッドを介して半導体チップと電気的に連結され、チップ活性面に取付けられる第1内部リード、及び周辺電極パッドを介して半導体チップと電気的に連結され、チップの端部から離れて配列される第2内部リードを有するリードフレームとを備える。

【0010】半導体チップは通常短辺及び長辺を有し、半導体チップの電極パッドと電気的に連結される内部リードと一体に形成される外部リードが、半導体チップの短辺及び長辺に沿って配列されるようにすることにより、カード(quad)型半導体チップパッケージを実現することができる。一方、外部リードが半導体チップの長辺に沿って配列されるようにすれば、デュアル(dual)型半導体チップパッケージを実現することができる。

【0011】半導体チップパッケージに使用されるリードフレームは、コーナーリードとリードフレームのサイドレールとの間に連結されるタイバーを備え、これにより、パッケージ素子が最終的に個別化される前に、組立工程で個別パッケージ素子をストリップ形態で維持し、また長さが非常に長いコーナーリードが組立工程中に変形されることを防止する。また、リードフレームは、リードフレームリードに半導体チップを取付けるとき、または半導体チップの電極パッドとリードフレームリードとを電気的に連結するとき、リードと半導体チップの位置を認識して整列を容易にするための整列キーを備えることができる。

【0012】LOC構造の第1内部リードには屈曲部が形成され、屈曲のサイズは、第1内部リードをチップ活性面に取付ける接着剤の厚さ、半導体チップの厚さ等を考慮して決定され、屈曲のサイズを調節することにより、半導体チップがパッケージ胴体の中央に位置する最

適の垂直構造を実現する。

【0013】

【発明の実施の形態】以下、図面を参照として本発明を詳細に説明する。図1は、本発明による半導体チップパッケージに適合するリードフレームストリップの部分平面図である。リードフレームストリップ100は、同一のリードフレームパターンが繰り返されているので、複数の半導体チップを実装してダイボンディング、ワイヤボンディング及びモールディング工程等のような組立工程を同時に進行することができる。移送用孔16は、組立工程中又は組立工程の間でリードフレームストリップ100を移送するに使用される。同一のパターンで繰り返される単位リードフレームは、分離スロット22により区分される。図1には、1つの単位リードフレームに該当するパターンだけを図示した。

【0014】単位リードフレームは、半導体チップの図示しない電極パッドと電気的に連結される複数の内部リード10、12と、半導体チップを外部と電気的に連結する複数の外部リード14a、14bとを有する。内部リードと外部リードは、ダムバー(dam bar)28により連結されている。ダムバー28は、図1で一点鎖線で表示したモールディング領域34内にプラスチックモールディング樹脂を充填してパッケージ胴体を形成するモールディング工程において、モールディング樹脂がモールディング領域34外に流れ出すことを防止するためのものである。モールディング工程が終わると、ダムバー28を切断し、タイバー18を切断することにより、全体的に連結されている複数の内部リード及び外部リードを個別化させる。

【0015】サイドレール24は、単位リードフレームをストリップ形態で維持するためのものである。モールディング領域34の4つのコーナーに位置するコーナーリード15には、サイドレール24と連結されているタイバー18が形成されている。タイバー18は、コーナーリード15とサイドレール24とを連結するものであって、ダムバー28を切断した後、最終的に単位素子で個別化するまで単位リードフレームをサイドレール24に連結させる役割をし、且つ組立工程の進行中に長さが最も長いコーナーリード15の変形を防止する役割をする。

【0016】ダミーリード20は、半導体チップと連結されないリードであり、電源供給用リード26は、陽の電源VDDと陰の電源VSSのような電源を半導体チップに供給するための通路である。電源供給用リード26は、リードのインダクタンス成分を減少させるため、2つに分岐される構造を有する。リードフレームリードのうち、中央側に延設される第1内部リード10は、LOC構造のリードであり、第2内部リード12は、標準型リードである。第1内部リード10は、接着剤32により半導体チップの活性面に直接取付けられ、屈曲部30

を有する。このような構造を有するリードフレームは、中央電極パッドと周辺電極パッドが組合わされた半導体チップを組立するのに適合する。

【0017】このように組立られた半導体チップパッケージの一例について説明する。図2は、本発明の一実施例による半導体チップパッケージの分解平面図である。半導体チップパッケージ200は、100個の入出力ピンを有する。図2において、各々の入出力ピンには、ピン番号が記載されており、該当ピンを介して伝達される信号によるピン名前が表示されているが、これに対する詳細な説明は省略する。但し、VDDは、半導体チップ40に供給される陽の電源電圧、VSSは、陰の電源電圧を意味する。

【0018】半導体チップ40は、長辺42と短辺44を有する。このような矩形構造は、半導体メモリチップに一般的に使用されている。半導体チップ40の活性面46には、複数の電極パッド48、49が形成されており、活性面の中央部分に2列に並設される中央電極パッド48と、活性面の短辺の周辺部に沿って配列されている周辺電極パッド49とで分けられる。

【0019】内部リードのうち、接着剤32が取付けられている複数の第1内部リード10は、半導体チップ40の活性面46上に接着されるLOC構造を有し、半導体チップの長辺42に沿って配列されている。複数の第1内部リード10は、ボンディングワイヤ52により中央電極パッド48に電気的に連結され、半導体チップの長辺に沿って配列されている第1外部リード14aに連結される。

【0020】接着剤32は、電気絶縁性であり、例えば、ポリイミド系の両面接着テープを使用する。接着テープを複数の第1内部リードに取付け、内部リードをチップの活性面に載置した後、熱圧着方式により第1内部リードを半導体チップの活性面に取付ける。接着テープを使用せずに、不完全硬化状態の接着剤をチップ活性面に塗布した後、第1内部リードを活性面に載置し、熱と圧力を加えて第1内部リードをチップの活性面に取付ける方法を使用することもできる。

【0021】一方、複数の第2内部リード12は、半導体チップの短辺44に沿って配列されているが、第1内部リード10とは別に、活性面46に接着されなく、チップの短辺44から離れている標準型リード構造を有する。複数の第2内部リード12は、ボンディングワイヤ52により周辺電極パッド49に電気的に連結され、半導体チップの短辺に沿って配列されている第2外部リード14bに連結される。

【0022】このように、LOC構造の第1内部リードと標準型構造の第2内部リードが複合された構造を有するリードフレームを使用することにより、リードフレームの加工限界を克服し、高集積度のメモリ素子を実装することが可能である。また、半導体チップは、中央パッ

ド型と周辺パッド型が複合された電極パッドを有するため、信号伝達差減少、信号伝達通路の縮小、容易な電極パッドの設計及びチップサイズの減少等の利点が得られる。

【0023】周辺電極パッド49は、接着剤32と一定距離Dだけ離れるべきである。距離Dは、リードフレームの製造公差、パッケージ組立公差、及び周辺電極パッドとワイヤをボンディングするキャピラリと第1内部リードとの接触等を考慮して決定され、最小限20mil以上の距離Dを維持しなければならない。ピン番号36～45及び86～95に該当するリードは、電気的連結がなされないダミーリード20であり、これは、特定メモリ素子に対して定められたパッケージ外観規格による外部リードのピン数と、実際実装されるメモリ素子の特性によって必要なピン数との差異によって生ずるものである。

【0024】第1内部リードには、整列キー50が形成されており、これは、第1内部リードに半導体チップを取付けるとき、半導体チップ40とリードフレームリードの位置を認識して正確な整列がなされるようにするためのものである。また、整列キー50は、半導体チップ40の電極パッド48、49と内部リード10、12とを電気的に連結するワイヤボンディング工程において、半導体チップ40とリード10、12の位置を認識するのに使用することができる。整列キー50は、スタンピングやエッチングによりリードフレームパターンを形成するときに形成され、リードフレームと同一の材質よりなる。

【0025】電源供給用リード26は、半導体チップ40に例えばVDDとVSSの電源を供給するためのリードであって、電極パッドにワイヤボンディングされる先端が2つに分岐する構造を有する。このように電源供給通路を並列にすると、リードのインダクタンス成分を減少させることができ、より安定的な電源供給が可能である。

【0026】供給電源の安定のため、例えば図3に示すように、バスバー構造を採用することができる。バスバー56は、同一の電源を供給するリードを1つの通路で連結させる。従って、電源を素子の各部分に一定のレベルで供給することができ、雑音の影響を受けることが少ない。図3を参照すると、第1内部リード10の中で、ピン番号5、11、19は、陰の電源電圧が供給され、このピンに該当する内部リードは、バスバー56aにより1つに連結されている。また、ピン番号59、67、73、79に該当する内部リードは、バスバー56bにより1つに連結され、陽の電源電圧が印可される。

【0027】一方、図2に示すように、第1内部リード10は、チップの活性面46に取付けられるとき、フューズボックス54を回避することができるよう配置しなければならない。フューズボックス54は、メモリチ

ップの不良メモリセルを余分のメモリセルに交換するためのものであって、レーザー等で切断されることができるよう、アルミニウム線が露出された部分を有する。フューズボックス54が第1内部リード10に被覆されていると、レーザー切断が不可能になる。

【0028】複数の第1内部リードは、図4に示すように、屈曲部30を有している。図4は、図2のIV-IV線に沿って切断した断面図である。第1内部リード10に屈曲を形成することは、半導体チップ40がパッケージ導体60の中央に位置するようにするためのものである。例えば、半導体チップ40のサイズが197mil×340milであり、チップの厚さが0.3milであり、接着剤の厚さが0.1milである場合、屈曲30のサイズsを0.2milにして、半導体チップから上部パッケージ胴体までの距離d1(=1.05mil)と、下部パッケージ胴体までの距離d2(=1.05mil)とを同一にする。プラスチックパッケージ胴体は、トランスファモールディング工程により形成されるが、トランスファモールディング工程では、パッケージ胴体を成形すべきキャビティに、ダイボンディング及びワイヤボンディングが完了されたリードフレームストリップを装着し、液状のモールディング樹脂を高圧でキャビティに注入する。もし、上部パッケージ胴体までの距離と、下部パッケージ胴体までの距離が異なると、注入されるモールディング樹脂の圧力が相異して、半導体チップが元の位置からずれる不良が生ずることがある。これは、モールディング工程後のパッケージ胴体の反りの原因となることがある。したがって、本実施例のように、第1内部リード10に屈曲部30を形成して上下部パッケージ胴体の均衡を取ると、安定的な垂直構造を実現することが可能である。屈曲のサイズsが0.2milのものについて説明したが、これは、例示的なものに過ぎないし、半導体チップのサイズや厚さ等によって調節することができる。

【0029】図5は、図2のV-V線に沿って切断した断面図である。上述したように、周辺電極パッド49は、半導体チップ40の短辺に沿って配設されており、ボンディングワイヤ59により第2内部リード12に電気的に連結されている。第2内部リード12は、半導体チップ40から離れて配設された標準型リードである。半導体チップパッケージ200では、内部リード12、10及び電極パッド49、48がボンディングワイヤ59により電気的に連結される。しかしながら、チップの活性面46上に取付けられる第1内部リード10は、金属バンパにより電極パッドと電気的に接続されることも可能である。

【0030】図6は、本発明の他の実施例による半導体チップパッケージの断面図である。半導体チップパッケージ210の第1内部リード10は、半導体チップ40の活性面に取付けられて、チップの電極パッド48に電

氣的に連結される。リードと電極パッドとの電気的連結は、金属バンパ70により行われる。金属バンパ70は、半導体チップの電極パッド上に形成される。金属バンパは、金や銅又は錫-鉛合金よりなる。金属バンパ70が形成された電極パッド48上に第1内部リード10を整列させ、熱と圧力を加えながら、リードとバンパとを接合させる。

【0031】金属バンパを用いて第1内部リード10と中央電極パッド48とを電気的に連結させる場合、整列が正確になされるように特に注意すべきである。そして、図6には図示しないが、第1内部リード10と半導体チップ40間の接続力を高めるため、接着剤を使用することも可能である。図7は、本発明の一実施例による半導体チップパッケージの斜視図である。半導体チップパッケージ300は、パッケージ胴体60の4辺から突出する外部リード14を備えるカード型パッケージである。外部リード14は、例えば、鷗の翼形状やJ字形状で折曲され、これにより、パッケージ300が図示しない外部回路基板に面実装される。カード型パッケージは、多くの入出力ピン数を要求する素子に適合し、面実装方式を採択するため、ピン挿入方式より実装密度が高い。

【0032】かかるカード型パッケージは、図1及び図2に示すように、外部リード14が半導体チップ40の長辺42に沿って配設される第1外部リード14aと、半導体チップ40の短辺44に沿って配設される第2外部リード14bとを備えることにより可能となる。図8は、本発明の他の実施例による半導体チップパッケージの分解平面図である。図8の半導体チップパッケージ400は、図2の実施例と同様に、半導体チップ140の活性面146上に載置され、中央電極パッド148に電気的に連結されるLOC構造の第1内部リード112と、半導体チップ140の短辺144から離れて配設され、周辺電極パッド149に電気的に連結される標準型第2内部リード110とが複合された構造を有する。第1内部リード112は、パッケージの最適垂直構造を達成するため、屈曲部を有し、接着剤132によりチップ活性面146に取付けられる。接着剤132は、周辺電極パッド149と200mil以上の距離を維持しなければならない。電源供給用リード126は、2つに分岐されており、全て第2内部リードとして配列されているものが図示されているが、第1内部リードに配列することも可能である。

【0033】タイバー180は、モールディング樹脂により封止されてパッケージ胴体の内部に包含されるが、リードフレームストリップのサイドレールと連結されており、単位リードフレームが最終的に個別化されるまで個別素子をストリップ形態で維持する。第1内部リード112及び第2内部リード110は、各々ボンディングワイヤにより電極パッド148及び149に連結されて

いる。しかし、上述のように、LOC構造を有する第1内部リード112は、図示しない金属バンプにより中央電極パッド148に連結することも可能である。

【0034】第1内部リード112と一体に連結されている第1外部リード114a及び第2内部リード110と一体に連結されている第2外部リード114bは、全て長辺に沿って配設されている。これにより、パッケージ400は、図9に示すように、外部リード114がパッケージの2辺から突出するデュアル型パッケージを実現することができる。外部リード114は、図9に示すように、パッケージ400を外部回路基板に面実装するために、鷗の翼形状やJ字形状で折曲するか、またはピン挿入方式を適用することかできるように外部リード114を折曲することが可能である。

#### 【0035】

【発明の効果】以上説明したように、本発明による半導体チップパッケージは、LOC構造のリードと標準型リードが複合されているので、チップ縮小技術等によって半導体チップの集積度が高まっても半導体チップを効果的に実装することができる。また、半導体チップは、中央電極パッドと周辺電極パッドが複合された構造を有するので、中央電極パッド型の長所とLOC構造の長所を全て生かすことができる。

#### 【図面の詳細な説明】

【図1】本発明による半導体チップパッケージに適合するリードフレームストリップの部分平面図である。

【図2】本発明の一実施例による半導体チップパッケージの分解平面図である。

【図3】本発明の一実施例による半導体チップパッケージの部分分解平面図である。

ジの部分分解平面図である。

【図4】図2のIV-IV線断面図である。

【図5】図2のV-V線断面図である。

【図6】本発明の他の実施例による半導体チップパッケージの断面図である。

【図7】本発明の一実施例による半導体チップパッケージの斜視図である。

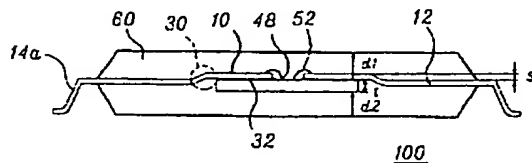
【図8】本発明のさらに他の実施例による半導体チップパッケージの部分分解平面図である。

10 【図9】本発明のさらに他の実施例による半導体チップパッケージの斜視図である。

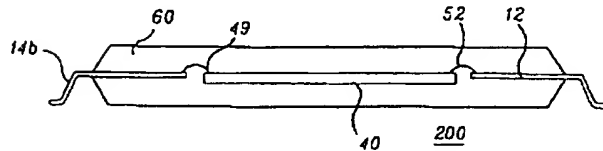
#### 【符号の説明】

- 10、12 内部リード
- 14a、14b 外部リード
- 15 コーナーリード
- 18 タイバー
- 20 ダミーリード
- 24 サイドレール
- 26 電源供給用リード
- 28 ダムバー
- 30 屈曲部
- 32 接着剤
- 42 長辺
- 44 短辺
- 46 活性面
- 48、49 電極パッド
- 52 ボンディングワイヤ
- 56 バスバー

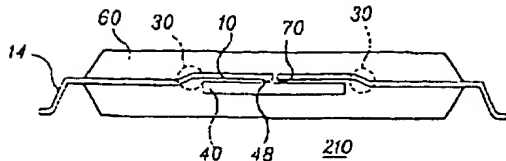
【図4】



【図5】

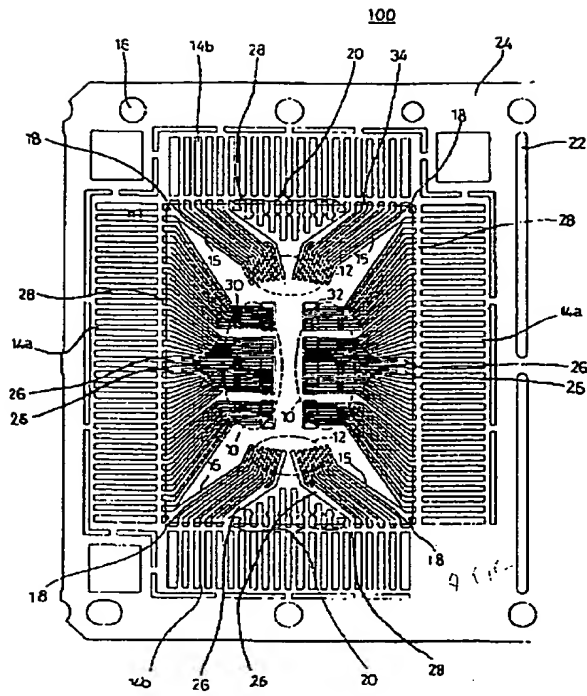


【図6】

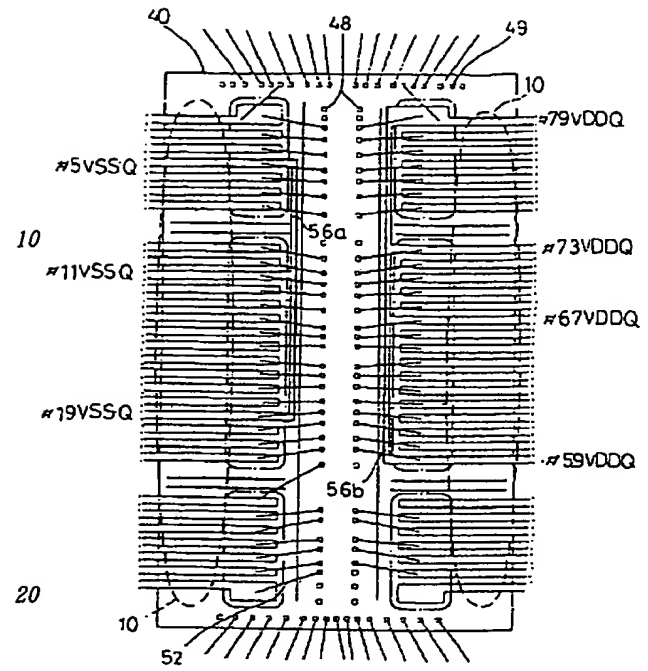




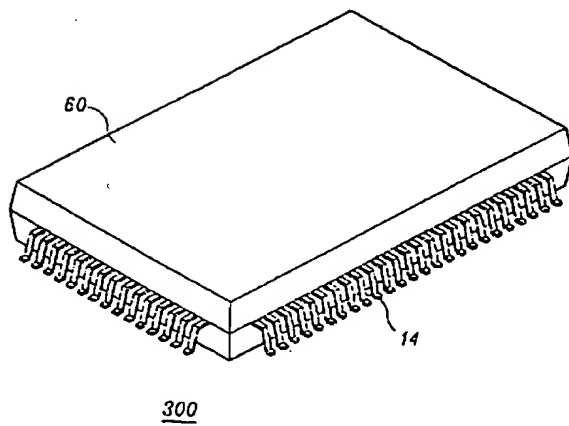
【図1】



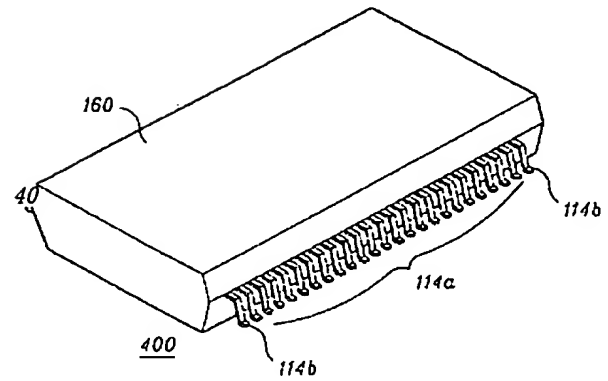
【図3】



【図7】



【図9】





大韓民国忠清南道天安市多價洞384-29番地